

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-224901

(43)Date of publication of application : 17.08.1999

(51)Int.Cl.

H01L 21/82
G06F 17/50
H01L 27/04
H01L 21/822

(21)Application number : 10-024742

(71)Applicant : TOSHIBA CORP

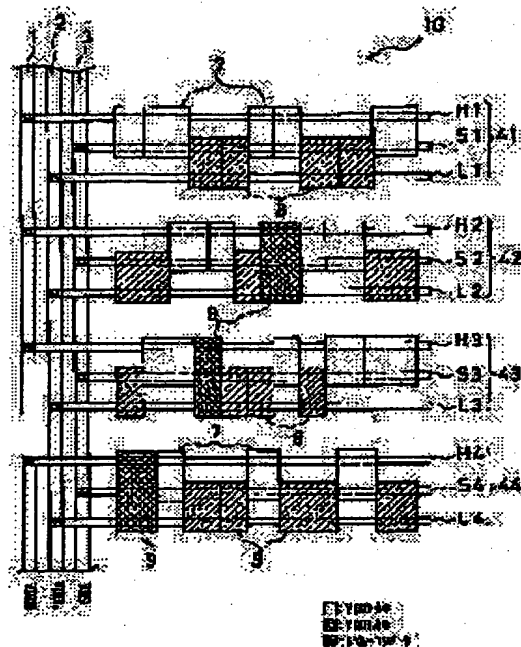
(22)Date of filing : 05.02.1998

(72)Inventor : ISHIKAWA TAKASHI

(54) CIRCUIT CONTAINING PLURAL POWER SUPPLIES, METHOD OF LAYOUT THEREOF AND COMPUTER-READABLE MEMORY WITH LAYOUT PROGRAMS STORED THEREIN**(57)Abstract:**

PROBLEM TO BE SOLVED: To avoid restricting freedom of cell placement caused through the use of a plurality of power supplies, in order to reduce overhead for layout as well as avoid driving delay caused by extended wiring.

SOLUTION: This layout structure 10 comprises a first power line H1 for supplying power from a high voltage power supply VDDH to a cell 7, a second power line L1 for supplying power from a low voltage power supply VDDL to a cell 8, and a third power line S1 is provided generally halfway between the first and second power lines to ground the cells. The third power line S1 is connected to each cell, and cells are connected alternately to the first power line H1 or the second power line L1 by inverting them with the third power line, as a reference.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-224901

(43) 公開日 平成11年(1999) 8月17日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

W

G 0 6 F 17/50

G 0 6 F 15/60

6 5 6 Z

H 0 1 L 27/04

6 5 8 K

21/822

H 0 1 L 27/04

D

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号

特願平10-24742

(22) 出願日

平成10年(1998) 2月5日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 石川 貴史

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

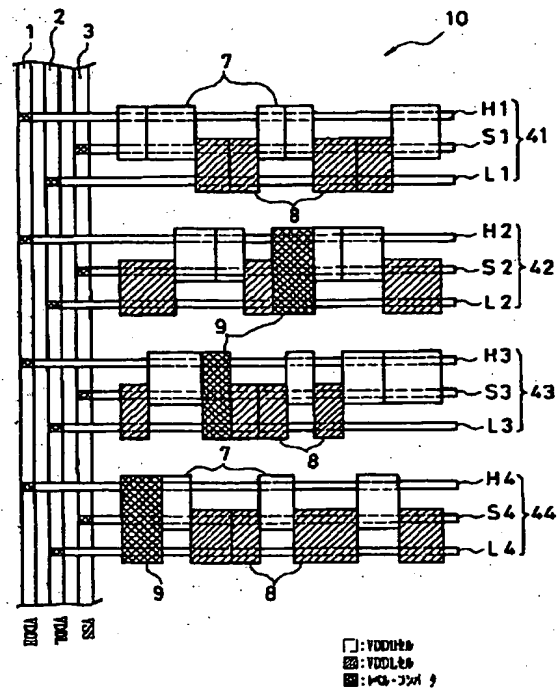
(74) 代理人 弁理士 三好 秀和 (外 3 名)

(54) 【発明の名称】 複数電源混在回路、そのレイアウト方法、及びそのレイアウトプログラムを記録したコンピュータ読みとり可能な記録媒体

(57) 【要約】

【課題】 複数電源併用に伴うセル配置の自由度の低下を回避してレイアウト上のオーバーヘッドを低く抑え、とともに、配線の延長に伴う駆動遅延を回避する。

【解決手段】 レイアウト構造10は、高電圧電源VDDHをセル7に供給する第1の電源線H1と、低電圧電源VDDLをセル8に供給する第2の電源線L1と、第1と第2の電源線とのほぼ中央に配置されてセルをアースする第3の電源線S1とを備え、各セルに第3の電源線S1を接続するとともに、各セルを第3の電源線を基準に反転させることによって第1の電源線H1または第2の電源線L1を択一的に接続してなるものである。



【特許請求の範囲】

【請求項1】複数のセルを連続して配置してなる回路に複数の電源電圧を供給する複数電源混在回路であって、第1の電源電圧をセルに供給する1本以上の第1の電源線と、

前記第1の電源電圧とは異なる第2の電源電圧をセルに供給する1本以上の第2の電源線と、

第1と第2の電源線との間に配置されて前記複数のセルをアースする1本以上の第3の電源線とを備え、

前記各セルに第3の電源線を接続するとともに、該各セルに前記第1の電源線または第2の電源線を択一的に接続してなることを特徴とする複数電源混在回路。

【請求項2】請求項1に記載の複数電源混在回路において、前記第1乃至第3の電源線が平行に且つ等間隔に配置されるとともに、前記各セルに前記第1の電源線又は第2の電源線を択一的に接続するための所定のセルが該第3の電源線を基準に適宜反転させて配置されたことを特徴とする複数電源混在回路。

【請求項3】請求項1又は2に記載の複数電源混在回路において、前記第1の電源線と、前記第2の電源線と、前記第3の電源線とが、第1、第3、第2、第3の順番で等間隔に繰り返して配線されてなることを特徴とする複数電源混在回路。

【請求項4】複数のセルを連続して配置してなる回路に複数の電源電圧を供給する複数電源混在回路のレイアウト方法であって、

第1の電源電圧をセルに供給する1本以上の第1の電源線と、前記第1の電源電圧とは異なる第2の電源電圧をセルに供給する1本以上の第2の電源線を配線し、これら第1と第2の電源線とのほぼ中央に、前記複数のセルをアースする1本以上の第3の電源線を配線するステップと、

前記複数のセルすべてに第1の電源電圧を供給するものとして第1の電源線と第3の電源線との間に配置して、各セルについて要する電圧を算出するステップと、

基準となる駆動電圧の範囲を定め、前記算出結果から該範囲に含まれる駆動電圧を要するセルを選定するステップと、

この選定されたセルを前記第3の電源線を基準に反転させて、該セルを前記第2の電源線と前記第3の電源線との間に配置するとともに、該複数電源混在回路全体の配置を決定するステップと、

を含むことを特徴とする複数電源混在回路のレイアウト方法。

【請求項5】複数のセルを連続して配置してなる回路に複数の電源電圧を供給する複数電源混在回路のレイアウトプログラムを記録したコンピュータ読みとり可能な記録媒体であって、

第1の電源電圧をセルに供給する1本以上の第1の電源線と、前記第1の電源電圧とは異なる第2の電源電圧を

セルに供給する1本以上の第2の電源線を配線し、これら第1と第2の電源線とのほぼ中央に、前記複数のセルをアースする1本以上の第3の電源線を配線するステップと、

前記複数のセルすべてに第1の電源電圧を供給するものとして第1の電源線と第3の電源線との間に配置して各セルについて要する電圧を算出するステップと、

基準となる駆動電圧の範囲を定め、前記算出結果から該範囲に含まれる駆動電圧を要するセルを選定するステップと、

この選定されたセルを前記第3の電源線を基準に反転させて、該セルを前記第2の電源線と前記第3の電源線との間に配置するとともに、該複数電源混在回路全体の配置を決定するステップと、

を含むことを特徴とする複数電源混在回路のレイアウトプログラムを記録したコンピュータ読みとり可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のセルを連続して配置してなる回路に複数の電源電圧を接続してなる複数電源混在回路、そのレイアウト方法及びそのレイアウトプログラムを記録したコンピュータ読みとり可能な記録媒体に関するものである。

【0002】

【従来の技術】CMOS回路の消費電力を低減化するために、例えば2種類の電源電圧（高電圧電源VDDH、低電圧電源VDDL）を併用する複数電源混在回路が提案されている（特願平8-97070号）。従来の複数電源混在回路としては、各ロウに駆動電圧に応じてセルを分配して配置し、ロウ毎に各電源電圧を割り振る方式が提案されている（特願平8-282454号及び特願平8-351611号）。

【0003】図7は、従来のレイアウト方式を示す図である。このレイアウト方式では、ドレイン電圧として高い電圧を必要とするVDDHセルHS（1、2、3…）をVDDHロウHR（1、2、3…）に分配して配置し、VDDHセルHSよりも低い電圧で駆動するVDDLセルLS（1、2、3…）をVDDLロウLR（1、2…）に分配して配置し、これらのロウに配置された各セルの要する駆動電圧に応じた電圧電源を主幹電源線1〜3に接続された電源線51〜53を介して供給するものである。

【0004】そして、この従来の方式においては、ランド用の電源線51を、各ロウのセルに供給するためにすべてのロウに少なくとも1本接続し、高電圧電源VDDH又は低電圧電源VDDLのいずれかを、各ロウに配置されたセルが要する駆動電圧に応じてそれぞれ接続する。

【0005】この方式によれば、各ロウを駆動電圧毎に

分離しているため、セルのレイアウトは単一電源回路と基本的に同じとなり、単一電源回路と同様のセル・ライブラリを利用できるという利点がある。

【0006】しかし、この従来の方式では、駆動電圧が異なるセル同士を接続しなければならない場合には、異なるロウ間に配線V1、V2、V3…を配線する必要がある。

【0007】図8は、図7中に示された従来のレベル・コンバータ56を拡大して示す図である。従来の方式においては、入力信号のVDDL振幅を、VDDH振幅に増幅して出力するためにレベル・コンバータ56が必要となる。このレベル・コンバータとは、低電圧電源におけるVDDL振幅の入力信号を、高電圧電源におけるVDDH振幅に増幅して出力するセルである。

【0008】そして、レベル・コンバータ56は、一つのセル内においてVDDH電源及びVDDL電源の両方が必要となるものであるが、従来の複数電源混在回路では、各ロウ内でVDDH電源線もしくはVDDL電源線のいずれか一方のみしか接続できないため、例えば、レベル・コンバータ56をVDDH電源が供給されるロウHR1、HR2に配置し、VDDL電源が供給されるロウLR1、LR2に配置されたクリップ・セル54から配線55を通じてVDDL電源を供給する。

【0009】

【発明が解決しようとする課題】しかしながら、上記した従来の方式では、セルへ供給する電源電圧をロウ単位で設定しなければならないことから、レイアウトの自由度が低くなるという問題があった。

【0010】即ち、図9(a)に概念的に図示するように、従来の単一電源回路では、同一のロウ内或いは隣接するロウ間において、互いに近くに配置できたセルA・B若しくはC・Dを、複数電源混在回路では、同図(b)に示すように、そのセルを駆動する電源電圧に応じたロウに配置する必要があるため、隣接して配置すべきセルを離れた位置に配置せざるを得ない状況が発生し、レイアウトの際の制約が増大して設計上の自由度が低下することという問題があった。

【0011】また、セルを離れた位置に置かなければならないことから、図7に示すような、ロウ間においてセル同士を接続する配線V1、V2、V3…が増える傾向にあり、この配線のためのスペースを確保しなければならずその分のチップ面積が増大するとともに、配線が延長されることから動作遅延が生じるという問題があった。

【0012】さらに、従来方式におけるレベル・コンバータのセル内パターンでは、上述したように、クリップ・セル54から配線55を介して供給する必要があるため、クリップ・セル54及び配線55分の面積が増大して、やはりレイアウト上のオーバーヘッド及び動作遅延が生じるという問題があった。

【0013】また、この方式のレベル・コンバータでは、入力信号の反転信号を生成する部分にはVDDL電源を供給しているにも拘わらず、反転信号を生成する部分も他と同様に、VDDHとVSSの電源線の間、即ちVDDHのウェル内に作り込まれているため、動作速度が遅延するという欠点があった。

【0014】これに対して、上記方式の改良型として、図10に示すような、ロウ内を左右に2つ分割して、これら各々に異なる電源電圧を設定する方式が提案されている(特願平8-308101号)。

【0015】詳述すると、VSS、VDDL、VDDHの主幹電源線を一組として対平行に配線し、これらの間にロウを配設し、近接して配置すべきセルであって異なる電源電圧で駆動するもの(VDDLセルLS(1~4)、VDDHセルHS(5~8))を配置されるロウ201のウェルをその中央で分割する。

【0016】なお、このロウを分割する方式では、分割されたロウ201の左右それぞれ配設されたセルLSとHSとを相互に接続する場合は、ロウ201の外方に配線された配線202を用いる。

【0017】この方式によれば、上述した方式に比べ、異なる電源電圧のセルを同一のロウに配置することができ、セルの配置の自由度をある程度高くすることができる。

【0018】ところが、この方式では、主幹電源線間において一つのロウにつき1箇所のみ分割が可能であることから、その分割箇所が主幹電源線の本数に制限されることとなり、セルの配置の自由度を十分に向上させることができなかった。

【0019】また、異なる電源ではロウを左右に分割するためにこれのウェルを分離する必要があるため、ロウ内での電源の境界には、ウェル分離のための隙間が必要となり、この隙間分の面積が無駄になり、レイアウト上のオーバーヘッドが生じるという問題があった。

【0020】さらに、この方式では、ロウに垂直な配線を減らせる反面、分割されたロウ間を配線202により相互に接続するための、ロウと平行な配線が増える傾向があり、これに伴う駆動遅延、及び面積の増大が問題となっていた。

【0021】そこで、本発明は上記事情に鑑みて成されたものであり、その目的は、複数電源併用に伴うセル配置の自由度の低下を回避してレイアウト上のオーバーヘッドを低く抑えるとともに、配線の延長に伴う駆動遅延を回避できる複数電源混在回路、そのレイアウト方法及びそのレイアウトプログラム記録したコンピュータ読みとり可能な記録媒体を提案するものである。

【0022】

【課題を解決するための手段】上記の目的を達成するために本願請求項1に係る発明は、複数のセルを連続して配置してなる回路に複数の電源電圧を供給する複数電源

混在回路であって、第1の電源電圧をセルに供給する1本以上の第1の電源線と、前記第1の電源電圧とは異なる第2の電源電圧をセルに供給する1本以上の第2の電源線と、第1と第2の電源線との間に配置されて前記複数のセルをアースする1本以上の第3の電源線とを備え、前記各セルに第3の電源線を接続するとともに、該各セルに前記第1の電源線または第2の電源線を択一的に接続してなるものである。

【0023】この請求項1に係る発明によれば、第1と第2の電源線の中央にアース用の第3の電源線を配置してこれに各セルを接続するとともに、第1または第2の電源線を択一的に接続することにより、異なる電源電圧を要するセルについて第3の電源線を共有することができるため、電源電圧用の配線を省略することができ、その分のチップ面積を縮小してレイアウト上のオーバーヘッドを軽減することができる。

【0024】また、本願請求項2に係る発明は、請求項1に記載の複数電源混在回路において、前記第1乃至第3の電源線が平行に且つ等間隔に配置されるとともに、前記各セルに前記第1の電源線又は第2の電源線を択一的に接続するための所定のセルが第3の電源線を基準に適宜反転させて配置されたものである。

【0025】なお、ここでいう「反転」には、セルを第3の電源線上の一点を中心として点対称となるように180度回転させること、或いはセルを第3の電源線を中心に線対称となるように180度回転させること等が含まれる。

【0026】この請求項2に係る発明によれば、各セルに第1の電源線または第2の電源線を容易に択一的に接続することができるとともに、セルを第3の電源線を基準に反転させるという構造によって、従来の単一電源回路のセルパターンを利用して、複数電源混在回路を容易に設計することができる。

【0027】本願請求項3に係る発明は、請求項1又は2に記載の複数電源混在回路において、前記第1の電源線と、前記第2の電源線と、前記第3の電源線とが、第1、第3、第2、第3の順番で等間隔に繰り返し配線されてなるものである。

【0028】この請求項3に係る発明によれば、第1または第2の電源線を択一的に接続する際、セルを配置する自由度を増大させることができ、レイアウトの設計を容易にすることができる。

【0029】本願請求項4に係る発明は、複数のセルを連続して配置してなる回路に複数の電源電圧を供給する複数電源混在回路のレイアウト方法であって、第1の第1、第3、第2、第3電源電圧をセルに供給する1本以上の第1の電源線と、前記第1の電源電圧とは異なる第2の電源電圧をセルに供給する1本以上の第2の電源線を配線し、これら第1と第2の電源線とのほぼ中央に、前記複数のセルをアースする1本以上の第3の電源線を

配線するステップと、前記複数のセルすべてに第1の電源電圧を供給するものとして第1の電源線と第3の電源線との間に配置して、各セルについて要する電圧を算出するステップと、基準となる駆動電圧の範囲を定め、前記算出結果から該範囲に含まれる駆動電圧を要するセルを選定するステップと、この選定されたセルを前記第3の電源線を基準に反転させて、該セルを前記第2の電源線と前記第3の電源線との間に配置するとともに、該複数電源混在回路全体の配置を決定するステップとを含むものである。

【0030】この請求項4に係る発明によれば、第1と第2の電源線のほぼ中央に第3の電源線を配線し、一旦、単一電源回路として第1の電源線と第3の電源線との間にセルを配置して必要な電圧を算出した後、所定のセルを選定してこれを複数電源混在回路として配置し直すものであるため、従来の単一電源回路用のセルライブラリを利用して、容易に複数電圧混在回路のレイアウトを設計することができる。

【0031】本願請求項5に係る発明は、複数のセルを連続して配置してなる回路に複数の電源電圧を供給する複数電源混在回路のレイアウトプログラムを記録したコンピュータ読みとり可能な記録媒体であって、第1の電源電圧をセルに供給する1本以上の第1の電源線と、前記第1の電源電圧とは異なる第2の電源電圧をセルに供給する1本以上の第2の電源線を配線し、これら第1と第2の電源線とのほぼ中央に、前記複数のセルをアースする1本以上の第3の電源線を配線するステップと、前記複数のセルすべてに第1の電源電圧を供給するものとして第1の電源線と第3の電源線との間に配置して各セルについて要する電圧を算出するステップと、基準となる駆動電圧の範囲を定め、前記算出結果から該範囲に含まれる駆動電圧を要するセルを選定するステップと、この選定されたセルを前記第3の電源線を基準に反転させて、該セルを前記第2の電源線と前記第3の電源線との間に配置するとともに、該複数電源混在回路全体の配置を決定するステップとを含むものである。

【0032】この請求項5に係る発明によれば、従来の単一電源回路として配置したセルを所定の基準により選定し、これを第3の電源線を基準に反転させることにより、複数電源混在回路として設計するという有用なレイアウトプログラムを記録媒体に記録するものであるため、かかるプログラムの保存、運搬、実行等を容易なものとし、複数電源混在回路のレイアウト設計を簡便且つ迅速なものとすることができる。

【0033】

【発明の実施の形態】第1の実施形態

図1は、本発明の複数電源混在回路の一実施形態を表した図である。同図において、複数電源混在回路10は、連続して配置される複数のセル7及び8に複数の電源電圧を接続してなるものである。なお、本実施形態におい

ては、複数電源電圧は第1及び第2の2種類からなり、第1の電源電圧は、第2の電源電圧よりも高く設定されており、また、セル7はセル8よりも高い電圧で駆動するものである。

【0034】かかる複数電源混在回路10は、第1の電源電圧を各ロウのセル7に供給する第1の電源線H1～H4と、第2の電源電圧を各ロウのセルに供給する第2の電源線L1～L4と、これらの第1と第2の電源線とのほぼ中央に配置されてセル7、8をアースする第3の電源線S1～S4とを有している。すべてのセル7、8には第3の電源線S1～S4が接続されているとともに、各セル7、8には、第1の電源線H1～H4または第2の電源線L1～L4が択一的に接続されている。

【0035】詳しくは、第1の電源電圧(VDDH)は主幹電源線1を介して、これに直交するように配線された第1の電源線H1～H4より各ロウに配置されたセル7に供給され、また、第2の電源電圧(VDDL)は主幹電源線2を介して、これに直交するように配線された第2の電源線L1～L4より各ロウに配置されたセル8に供給される。さらに、各セルのアースは主幹電源線3に接続された電源線S1～S4により行われる。

【0036】なお、これらの各電源線(H、L、S)はチップの構造に応じて自由な態様で配線することができるが、特に本実施形態においては、これらの各電源線は、各ロウ41～44毎にそれぞれ一本ずつ、平行に且つ等間隔に配線されている。

【0037】図2は、複数電源混在回路10に配設される上記セル7(8)のセル内パターンの一例である。なお、同図に示すパターンは2入力NANDゲートの例である。また、このセル7(8)は周知の半導体集積回路のセルと同様に複数層を積層することにより構成され、ドレイン用のVDD配線71とソース用のVSS配線72を有するものであり、従来の単一電源用のセルと同様のものである。

【0038】すなわち、本実施形態では、図2に示すようなセルを、第1の電源線H1～H4及び第3の電源線S1～S4を跨る位置に配置することにより、セル内のVDD配線71に第1の電源電圧であるVDDH電源を供給し、高い電圧で駆動するVDDHセル7として使用するとともに、これを反転させたパターンを、図1の第2の電源線L1～L4及び第3の電源線S1～S4を跨る位置に配置することにより、セル内のVDD配線71に第2の電源電圧であるVDDL電源を供給し、低い電圧で駆動するVDDLセル8として使用することができる。

【0039】このセルの反転の態様としては図3に示すものがある。すなわち、図3(a)に示すように、セルを第3の電源線上の一点Pを中心として点対称となるように180度回転させること、或いは図3(b)に示すように、セルを第3の電源線S1～S4を中心に線対称

となるように180度回転させること等が含まれる他、図3(c)に示すように、セルを構成する各層7a～7dを、これらの上下の順が変わらないように、各々第3の電源線S1～S4を基準に線対称的に反転させて各層8a～8dとすること等がある。

【0040】なお、このセルの反転は、セルの配置の際に行う他、予め反転させたパターンをVDDL用に作成しておくこともできる。

【0041】図4は、本実施形態で用いるレベル・コンバータ9のセル内パターンの一例を示すものである。このレベル・コンバータ9は、第2の電源電圧におけるVDDL振幅の入力信号を、第1の電源電圧におけるVDDH振幅に増幅して出力するセルであり、セル内部では第1電源電圧であるVDDH及び第2の電源電圧であるVDDLの両方の電源を必要とする。そして、本実施形態におけるレベル・コンバータ9は、各ロウの電源線H1～H4、S1～S4及びL1～L4に跨るように配置される。

【0042】このような第1の実施形態によれば、以下のような作用効果を期待することができる。

【0043】すなわち、各ロウ毎において、高電圧電源及び低電圧電源の2種類の電源電圧を要するセルについてグランド用の電源線S1～S4を共有することができるため、電源電圧用の配線を省略することができ、その分のチップ面積を縮小してレイアウト上のオーバーヘッドを軽減することができる。

【0044】また、本実施形態では、第1乃至第3の電源線H、S、Lを平行に且つ等間隔に配置するとともに、セルを第3の電源線S1～S4を基準に適宜反転させるため、各ロウに異なる駆動電源のセル即ちVDDHセル、VDDLセル、レベル・コンバータのいずれも配置することが可能であり、配線の自由度が高い。その結果、従来の単一電源回路のセルパターンを利用して、複数電源混在回路を容易に設計することができる。

【0045】なお、このセルの反転を、セルを構成する各層をこれらの上下の順が変わらないように、各々前記第3の電源線を基準に線対称的に反転させるようにすれば、各層のセルパターンを設計し直す必要がなく、従来のセルパターンを利用して容易に複数電源混在回路のレイアウト設計をすることができる。

【0046】また、本実施形態では、図4のようなレベル・コンバータを、VDDH、VSS、VDDLの電源線すなわちH1～H4、S1～S4及びL1～L4を跨る位置に配置することにより、セル内に第1の電源電圧であるVDDH及び第2の電源電圧であるVDDL電源を供給することが可能である。従って、従来のように他の電圧を導入するためのクリップ・セルや配線が不要となり、その分のチップ面積を縮小することができるとともに、動作遅延を低減することができる。

【0047】さらに、入力信号の反転を生成する部分

が、VDDLとVSSの電源線の間、即ちVDDLのウェル内にあるため、レベル・コンバータ内部で本来VDDLのウェル内に作り込むべき部分は、VDDLウェル内に作り込むことが可能なため、レベル・コンバータの遅延時間は従来方式に比べて短くなる。

【0048】図5は、本発明に係る複数電源混在回路のレイアウト方法の一実施形態を表すフローチャートである。この方法によれば、上述した実施形態における複数電源混在回路10（図1）のレイアウト設計を容易に行うことができる。

【0049】先ず第1のステップとして、VDDH、VDDL、VSSの電源線すなわち第1ないし第3の電源線（図1におけるH1～H4、L1～L4、S1～S4）を配線する（図5中S101）。具体的には、第1の電源線H1～H4と、第2の電源線L1～L4を配線し、これらのほぼ中央に、第3の電源線S1～S4を配線するとともに、これらの電源線を平行に且つ等間隔に配置する。

【0050】第2のステップとして、セルすべてに第1の電源電圧VDDHを供給するものとして、第1の電源線H1～H4と第3の電源線S1～S4との間に配置する（S102）とともに、単一電源として各セルについて要する電圧を算出する（S103）。

【0051】第3のステップとして、基準となる電圧の範囲を定めるとともに（S104）、第2のステップによる算出結果から範囲に含まれる電圧を要するセルを選定する（S105）。本実施形態では、一定の電圧を決定し、これよりも低い駆動電圧を要するセルを選定する。また、このとき該当するセルがない場合は、S104に戻って、基準電圧を変えてセルの選定をし直す（S106）。

【0052】なお、第2のステップにおいてセルすべてにVDDL電源電圧を供給するものとした場合は、一定の電圧よりも高い駆動電圧を要するセルを選定することとなる。

【0053】第4のステップとして、第3のステップで選定されたセルを第3の電源線を基準に反転させて、セルを第2の電源線と第3の電源線との間に配置する（S107）とともに、回路全体の配置を決定する（S108）。このとき、選定されたセルの反転は、第3の電源線上の一点を中心として点対称となるように180度回転させること、或いはセルを第3の電源線を中心に線対称となるように180度回転させること等が含まれる。他、セルを構成する各層を、これらの上下の順が変わらないように、第3の電源線を基準に線対称に反転させて配置するものとすることもできる。

【0054】このようなレイアウト方法によれば、従来の単一電源回路用のセルライブラリを利用して、容易に複数電源混在回路のレイアウトを設計することができる。

【0055】なお、上記各ステップからなるレイアウト方法は、所定のコンピュータプログラム言語によって表現したレイアウトプログラムとして、例えばメモリ装置、磁気ディスク装置、光ディスク装置等のコンピュータ読みとり可能な記録媒体に記録することができる。

【0056】このように記録媒体に記録されたレイアウトプログラムによれば、このプログラムの保存、運搬等を容易なものとするとともに、プログラムを実行してコンピュータを制御することにより複数電源混在回路のレイアウト方法を簡便且つ迅速に実現することができる。

【0057】第2の実施形態図6は、本発明の複数電源混在回路の別の一実施形態を示した図である。本実施形態の複数電源混在回路20では、第1の電源線H1～H4と、第2の電源線L1～L4と、第3の電源線S1～S4とが、例えば、H1、S1、L1、S11というように、第1、第3、第2、第3の順番で等間隔に繰り返して配線されてなる。

【0058】この場合において、セル内パターンは、前述した実施形態で説明したものが使用できる。ただし、本実施形態では、VDDHセルをVDDH電源線及びVSS電源線を跨る位置に配置する際に、セルパターンを180度回転或いは上下反転させることにより、VDDH電源線の両側を走るVSS電源線のうち、いずれも使用可能である。さらに、レベル・コンバータについても、セル・パターンを180度回転或いは上下反転させることにより、VDDH、VSS、VDDLの順で電源線が並ぶ位置にも、VDDL、VSS、VDDHの順で電源線が並ぶ位置にも配線可能である。このように本実施形態では、前述の実施形態に比べて配置の自由度が高くなるため、より多くのセルが配置可能となる。

【0059】

【発明の効果】以上説明したように、本発明の複数電源混在回路、そのレイアウト方法及びそのレイアウトプログラムを記録したコンピュータ読みとり可能な記録媒体によれば、複数電源併用に伴うセル配置の自由度の低減を防止することにより、レイアウト上のオーバーヘッドを低く抑えることができる。

【0060】また、セル配置の自由度を増すことによって、配線が延長されるのを低減することができ、その結果チップ面積の縮小化及び駆動遅延の回避を実現することができる。

【0061】さらには、従来の単一電源回路で蓄積されたセル・パターンのライブラリを有効に活用することが可能となり、複数電源混在回路のレイアウト設計を容易且つ迅速に行うことができる。

【図面の簡単な説明】

【図1】本発明の第1若しくは第2の実施形態に係る複数電源混在回路のレイアウト構造を示す図である。

【図2】第1若しくは第2の実施形態に用いるセルを示す図である。

【図3】第1の実施形態におけるセルの反転の形態を示す図である。

【図4】第1及び第2の実施形態で用いられるレベル・コンバータを示す図である。

【図5】第1の実施形態に係る複数電源混在回路のレイアウト方法を示すフローチャートである。

【図6】本発明の第2の実施形態に係る複数電源混在回路のレイアウト構造を示す図である。

【図7】従来の複数電源混在回路のレイアウト構造を示す図である。

【図8】従来の複数電源混在回路のレイアウト構造で用いられるレベル・コンバータを示す図である。

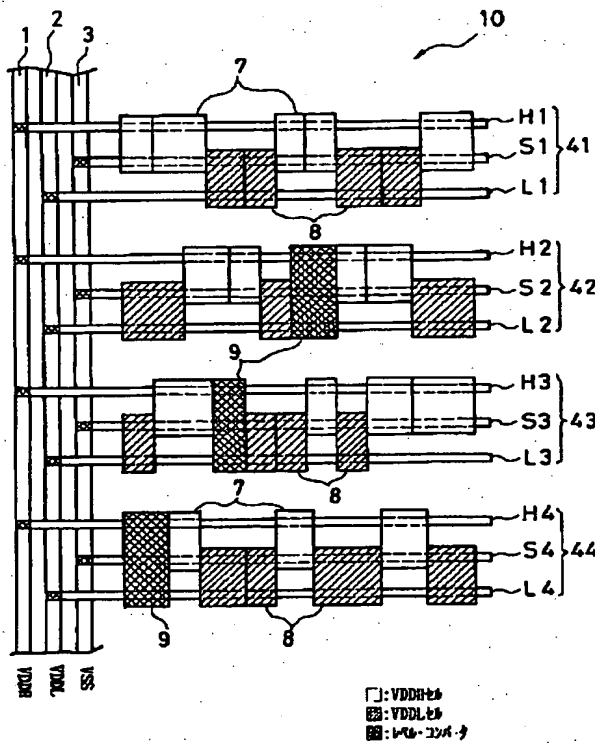
【図9】従来の複数電源混在回路のレイアウト構造における問題点を模式的に表した図である。

【図10】従来の複数電源混在回路の他のレイアウト構造を示す図である。

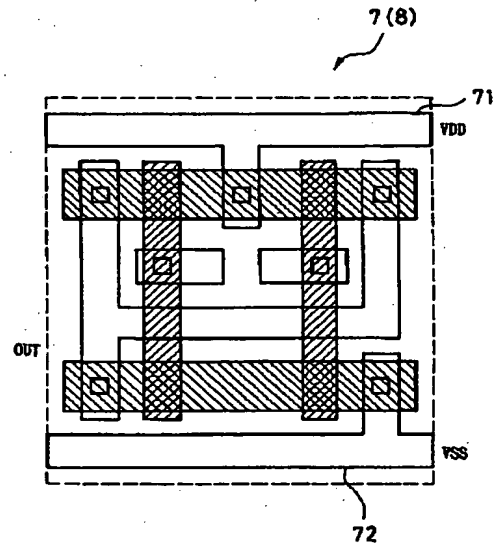
【符号の説明】

- 1 主幹電源線 (VDDH)
- 2 主幹電源線 (VDDL)
- 3 主幹電源線 (VSS)
- 41, 42, 43, 44 ロウ
- 7 VDDHセル
- 8 VDDLセル
- 9 レベル・コンバータ
- 10, 20 レイアウト構造
- H1~H4 VDDH電源線 (第1の電源線)
- L1~L4 VDDL電源線 (第2の電源線)
- S1~S5 VSS電源線 (第3の電源線)
- VDDH 高電圧電源
- VDDL 低電圧電源
- VSS グランド電源

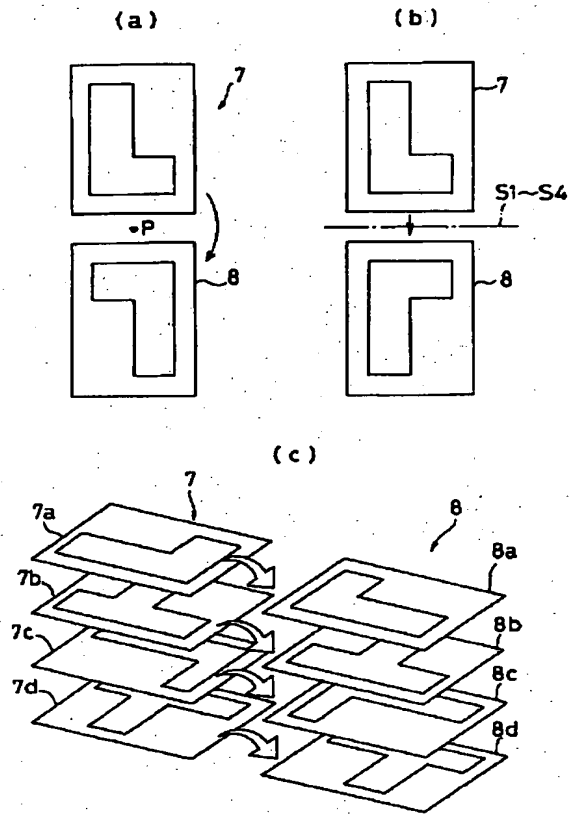
【図1】



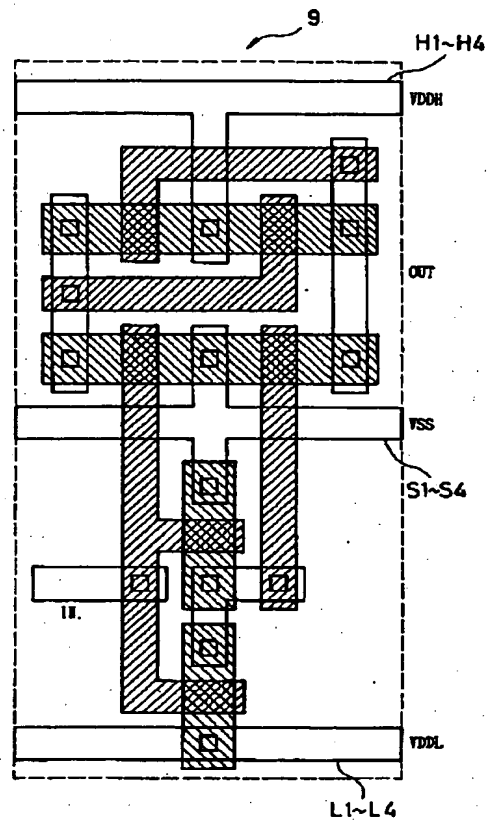
【図2】



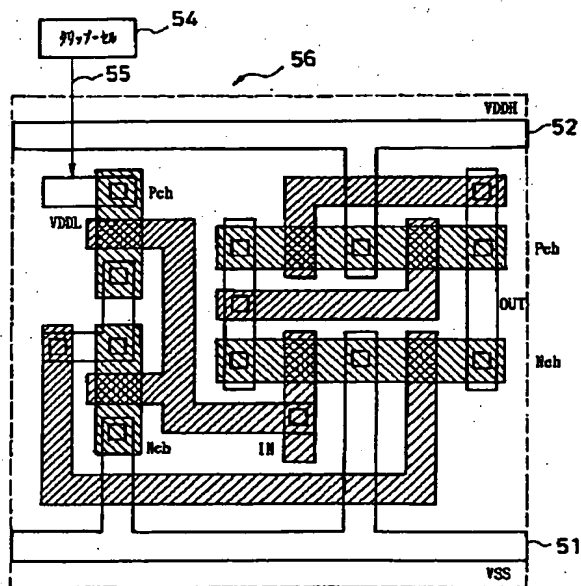
【図3】



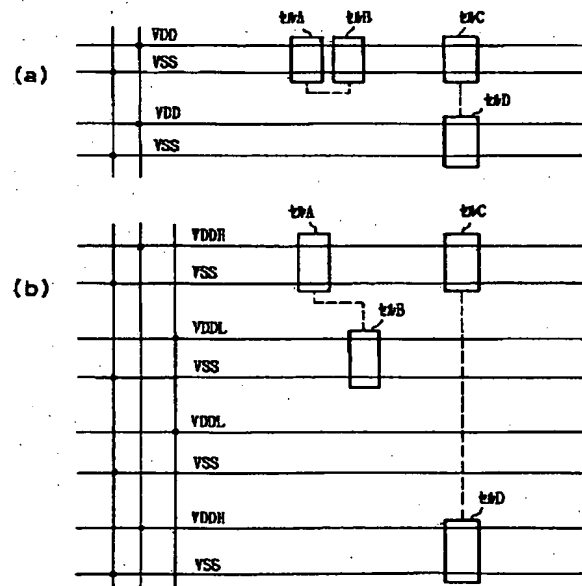
【図4】



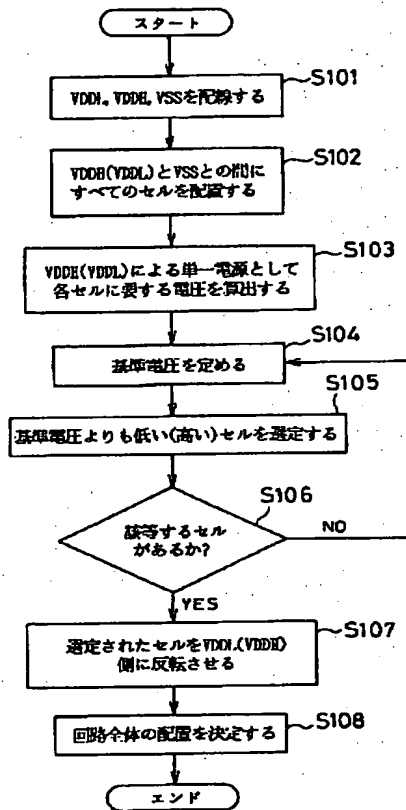
【図8】



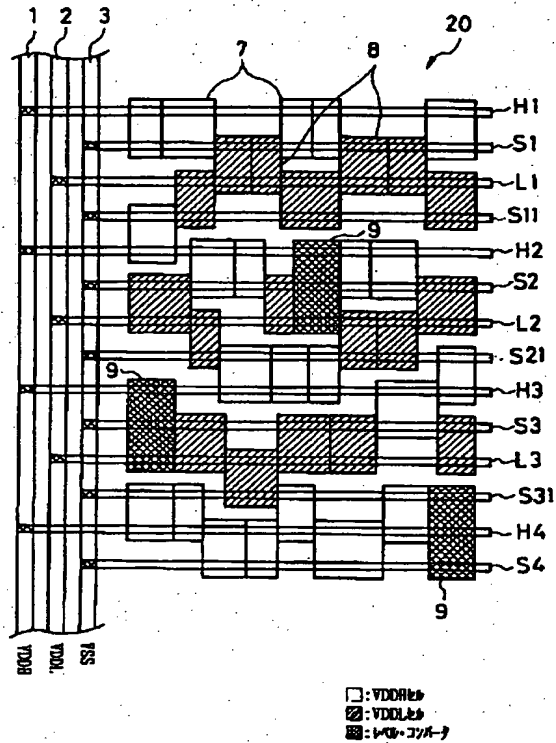
【図9】



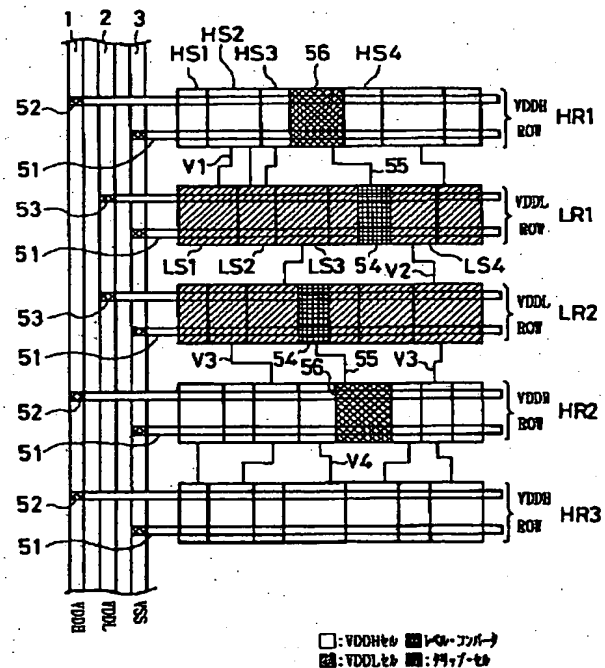
【図5】



【図6】



【図7】



【図10】

